

## 國家科學及技術委員會 函

地址：臺北市和平東路二段106號  
聯絡人：黃士育 副研究員  
電話：02-2737-7374  
傳真：02-2737-7673  
電子信箱：syhuang@nstc.gov.tw

受文者：國立臺灣科技大學

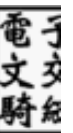
發文日期：中華民國114年12月8日  
發文字號：科會工字第1140086155號  
速別：普通件  
密等及解密條件或保密期限：

附件：如文 (114E0P000747\_114D2041127-01.pdf、114E0P000747\_114D2041128-01.pdf、114E0P000747\_114D2041129-01.pdf、114E0P000747\_114D2041130-01.pdf、114E0P000747\_114D2041131-01.pdf、114E0P000747\_114D2041132-01.pdf)

主旨：本會115年度「高效能晶片關鍵技術與創新應用計畫」自即日起接受申請，請於115年2月5日(星期四)前函送本會，逾期不予受理，請查照轉知。

說明：

- 一、依本會補助專題研究計畫作業要點規定辦理，申請機構及計畫主持人務必先行詳閱本計畫徵求公告及相關附件各項規定。
- 二、本計畫申請案全面實施線上申請，各類書表請務必至本會網站 (<https://www.nstc.gov.tw>) 進入「學術研發服務網」製作；計畫類別：「專題類-隨到隨審計畫 | 一般策略專案計畫」；研究型別點選「整合型計畫」；計畫歸屬點選「工程處」；學門代碼：「E9878-高效能晶片關鍵技術與創新應用計畫」，子學門代碼依計畫所屬分項點選其中



總收文 114.12.08



1140017469

之一「E987801-高能效與高速運算晶片、E987802-高功率、高傳輸電路與晶片模組、E987804-邊緣運算晶片應用、E987805-先進晶片製造技術」，以利識別。

三、本計畫未獲補助案件恕不受理申覆。

四、檢附計畫徵求公告1份，並公告於本會工程處網站

(<https://www.nstc.gov.tw/eng/ch>)；後續徵求說明會

資訊亦將公布於工程處網站。

正本：專題研究計畫受補助單位（共253單位）

副本：本會綜合規劃處、工程處(均含附件)



主任委員吳誠文



## 國科會工程處

### 115 年度「高效能晶片關鍵技術與創新應用計畫」徵求公告

#### 壹、計畫背景及目的

近年新興科技的發展趨勢，無論是人工智慧、智慧物聯網、無人載具、自駕車、元宇宙、下世代行動通訊，甚至於到太空科技、金融服務、智慧醫療等，其關鍵科技都脫離不了半導體與晶片技術。因此，半導體技術的研究發展及產業布局，已成為全球各主要國家高度重視的核心議題。許多國家包括美國、歐盟、日、韓、中國大陸等，都針對此領域推出不同的政策及補助，希望能在未來的科技競爭中脫穎而出。

經過數十年的努力及耕耘，臺灣半導體產業在全球占有舉足輕重的關鍵地位，包括晶圓代工全球產能第一、封裝測試全球產能第一、IC 設計全球第二，而且擁有全球最先進的製程技術，全球 10nm 以下晶片有 70% 以上來自臺灣，最先進之 5nm 以下晶片更高達 90%。根據工研院產科國際所統計，2024 年臺灣 IC 產業產值達新臺幣 53,151 億元(USD\$165.6B)，較 2023 年成長 22.4 %。其中 IC 設計業產值為新臺幣 12,721 億元(USD\$39.6B)，較 2023 年成長 16 %；IC 製造業為新臺幣 34,195 億元(USD\$106.5B)，較 2023 年成長 28.4 %。臺灣雖然在相關產業繳出了亮麗的成績，但是在各國的政策加持下，未來如何能持續成長甚至於保持領先，仍面臨到非常艱難的挑戰。

展望未來，除了持續投入半導體製程的研發，推動未來五至十年之先進晶片製造技術布局之外，如何加強在 IC 設計領域的競爭力，並且與半導體製程的優勢相輔相成，尤其是在先進製程的晶片開發上，進而加速切入高值應用領域布局，將是未來發展的重點，也希望藉此帶動產業全面升級，以持續穩固我國半導體產業領先地位。

本計畫「高效能晶片關鍵技術與創新應用計畫」，以「掌握高效能半導體晶片關鍵自主技術與培育多元晶片設計人才，帶動新興產業成長動能，邁向 2035 年晶片建構創新應用生態系。」為願景，聚焦於高能效、高運算力、高功率電路與晶片模組關鍵技術研發以及邊緣運算晶片應用，鼓勵學界往 16/7nm FinFET 製程、異質整合技術及特殊應用製程發展，並加強推動未來五

至十年之先進晶片製造技術布局，以符合產業人才需求。為支援各項研究主題之執行，將由國研院台灣半導體研究中心(TSRI)提供高效能晶片系統設計、晶片與元件製造、量測及異質整合服務。

## 貳、研發方向

國科會在「高效能晶片關鍵技術與創新應用計畫」所提出的規劃，主要依據國際半導體科技發展趨勢、國內半導體產業鏈的生態系、國內學研單位的相關研發能量，規劃出下列研究重點，引導並鼓勵有豐沛研究能量的臺灣學界提出前瞻性解決方案。

本計畫徵求之研究重點分為四大分項(詳細說明請見附件一)。

- 一、 高能效與高速運算晶片
- 二、 高功率、高傳輸電路與晶片模組
- 三、 邊緣運算晶片應用
- 四、 先進晶片製造技術

## 參、計畫撰寫說明

- 一、 計畫摘要:請於研究計畫中英文摘要(表 CM02)具體說明要解決的問題和技術突破點，以達成本計畫所推動之頂尖研發目標或超越國際級相關研究的成果。
- 二、 計畫目標：依計畫徵求所列研究重點，提出明確陳述整體總目標，且以本計畫終極目標挑戰計畫內容。
- 三、 計畫內容：鼓勵學界勇於提出不同於現有技術之前瞻性解決方案，以達成本計畫挑戰國際級成果之精神，並陳述各年度研發目標與國際技術指標之比較、計畫規劃藍圖(roadmap)、國內外現況分析、所欲達成之量化技術指標、達到該指標之執行策略等要項。
- 四、 資源與專長整合：為導入軟硬體系統整合技術以實現次系統之展示，鼓勵籌組跨領域研究團隊，並槓桿晶創計畫中晶片製造與設計環境建置資源(含 TSRI、半導體學院、工研院)。團隊若需使用 TSRI 的資源及研究環境，請參考附件二，提出相關規劃。此外，各子計畫間的垂直整合之

規劃亦需於計畫書中具體敘明。

五、 產學研合作：本專案計畫鼓勵於計畫書內陳述與業界或法人單位有實質合作之規劃項目與內容，並附上【合作意願書】(格式如附件三)，請將此意願書附於計畫書表 CM04「四、整合型研究計畫項目及重點說明」之後，作為計畫評分的參考。

六、 增進國際影響力：鼓勵與國際團隊共同合作或交流，並積極參與相關國際性活動如國際頂尖會議與國際頂尖期刊論文發表，以提升台灣晶片設計研發實力。

#### 肆、計畫申請、審查及核定

##### 一、申請須知

(一) 申請機構與計畫主持人(申請人)須符合本會補助專題研究計畫作業要點之規定。

(二) 本專案須規劃申請 3 年期計畫，自 115 年 6 月 1 日至 118 年 5 月 31 日，且以單一整合型研究計畫為限。

(三) 每一整合型計畫之總計畫及所有子計畫全部書寫於一份計畫書，子計畫應為三個(含)以上，最多以不超過六個為原則。總計畫主持人須同時主持 1 項子計畫，各主持人應實質參與研究，計畫書應詳實註明各主持人負責之研究主題，整合之計畫需有總體明確的目標，並由總計畫主持人之服務機關提出申請。未依規定申請者，恕不予受理審查。

(四) 國科會工程處於 115 年度分別推動「矽光子前瞻技術研發與應用計畫」、「高效能晶片關鍵技術與創新應用計畫」及「高效能化合物半導體前瞻技術研究計畫」計畫徵求，為確保三項專案間人力與資源配置之合理性，並促進學研團隊有效投入具代表性與互補性的研究主題，相關申請規範如下，請依填寫聲明書(格式如附件四)，並將此聲明書附於計畫書表 CM04「四、整合型研究計畫項目及重點說明」之後。

1. 研究人員得以整合型計畫之總計畫主持人或子計畫主持人身分參與申請，但其參與身分不得超過下列任一組合(至多申請兩項專案)：

(1) 擔任一整合型計畫之總計畫主持人，並同時擔任另一整合型計

畫之一個子計畫主持人。

(2) 擔任兩個不同整合型計畫之各一個子計畫主持人。

(3) 除上述情形外，不得再同時擔任其他總計畫或子計畫主持人職務。

上述限制適用於同一專案內及不同專案間，以避免重複申請或職務重疊。

2. 若計畫團隊成員或計畫內容於同一專案內或不同專案間具有高度重疊性，此部分將納入計畫審查與評分之重要考量。

(五) 每一計畫每年度申請總額以不超過 2,000 萬元為原則。

(六) 計畫請從四大研究分項中，擇一申請最相關之分項，本會將邀請相關領域專家學者就計畫內容進行審查。

(七) 申請程序：

1. 計畫申請作業，自即日起接受申請，請申請人依本會補助專題研究計畫作業要點，研提正式計畫申請書(採線上申請)；申請人之任職機構應於 115 年 2 月 5 日(星期四)前備函送達本會(請彙整造冊後專案函送，逾期恕不受理)。

2. 計畫書撰寫時，請採用本會專題研究計畫申請書格式；線上申請時，請選擇「專題類-隨到隨審計畫」；計畫類別點選「一般策略專案計畫」；研究型別點選「整合型計畫」；計畫歸屬點選「工程處」；學門代碼點選「E9878-高效能晶片關鍵技術與創新應用計畫」，子學門代碼依計畫所屬分項點選其中之一「E987801-高能效與高速運算晶片、E987802-高功率、高傳輸電路與晶片模組、E987804-邊緣運算晶片應用、E987805-先進晶片製造技術」。

(八) 考量本專案計畫為單一整合型計畫，需整合各項子計畫內容，計畫之 CM03 內容至多 50 頁，超出部分不予審查。

## 二、 審查與核定

(一) 審查方式包括初審及複審，如有必要將安排計畫申請人簡報計畫內容。

(二) 本計畫屬專案計畫，審查未獲通過者，恕無申覆機制。

(三) 本計畫申請人須規劃申請 3 年期計畫，自 115 年 6 月 1 日至 118 年 5

月 31 日，本會可視情況調整作業時程。

(四) 審查重點：

1. 計畫提案之企圖心與本計畫欲突破晶片規格項目之切合度。
2. 技術可行性：需提出具體分年技術規劃藍圖(roadmap)。
3. 新穎性與學術研究卓越，與國際指標之逐年比對規劃。
4. 計畫所提技術之理論基礎。
5. 計畫主持人之執行力。
6. 團隊成員之互補性與跨專長、跨學門資源整合能力。
7. 產業合作(含工研院)與未來落地應用之規劃。
8. 槓桿晶創計畫中晶片製造與設計環境建置資源(含 TSRI、半導體學院、工研院等)之規劃。
9. 關鍵專利之布局規劃。

(五) 本專案之總計畫及子計畫主持人，本會得核給研究主持費最高每個月新台幣 30,000 元，以鼓勵總計畫及子計畫主持人能專注投入執行。總計畫及子計畫主持人於計畫執行期間僅得支領 1 份研究主持費，同一執行期限若同時執行 2 件以上，以最高額度計算，並得於不同計畫內採差額方式核給。

(六) 本計畫列入國科會專題研究計畫件數計算額度，經核定補助後，列入總計畫主持人執行計畫件數，子計畫主持人則不列入計算。

伍、執行與考評

- 一、 本會將對執行計畫定期進行考評，執行團隊必須配合提供計畫執行進度與成果，並出席各項審查會議(需要時並作實地訪視)。
- 二、 執行團隊須配合本會進行計畫執行成果發表、推廣應用及交流等工作推動。
- 三、 如未依規定繳交報告或執行成效未如預期且計畫主持人未盡力改善時，本會得調減次年度經費或終止執行該計畫。

陸、其他注意事項

- 一、 各年度所需經費如未獲立法院審議通過或經部分刪減，本會得依審議結

果調減補助經費，並按預算法第五十四條規定辦理。

- 二、計畫成果發表除須註明本會補助外，亦請註明本計畫名稱或計畫編號。
- 三、本計畫之簽約、撥款、延期與變更、經費結報及報告繳交等應依本會補助專題研究計畫作業要點、本會補助專題研究計畫經費處理原則、專題研究計畫補助合約書與執行同意書及其他有關規定辦理。
- 四、本公告未盡事宜，應依本會補助專題研究計畫作業要點、本會補助專題研究計畫經費處理原則及其他相關法令規定辦理。

#### 柒、計畫聯絡方式

召集人：國立中山大學電機工程學系 王朝欽教授

Tel : (07) 525-2000#4144

E-mail : [ccwang@ee.nsysu.edu.tw](mailto:ccwang@ee.nsysu.edu.tw)

共同召集人：國立台灣大學電子工程研究所 呂良鴻教授

Tel : (02) 3366-3608

E-mail : [lhlu@ntu.edu.tw](mailto:lhlu@ntu.edu.tw)

共同召集人：國立陽明交通大學電子研究所 柯明道教授

Tel : (03) 513-1573

E-mail : [mdker@nycu.edu.tw](mailto:mdker@nycu.edu.tw)

共同召集人：國立陽明交通大學電子研究所 侯拓宏教授

Tel : (03) 571-2121#54261

E-mail : [thhou@nycu.edu.tw](mailto:thhou@nycu.edu.tw)

國科會工程處承辦人：黃士育副研究員、李俊和博士

Tel : (02) 2737-7374

E-mail : [syuhuang@nstc.gov.tw](mailto:syuhuang@nstc.gov.tw)

有關計畫申請系統操作問題，請洽本會資訊系統服務專線

Tel : (02)2737-7590、7591、7592



## 國科會工程處

### 115 年度「高效能晶片關鍵技術與創新應用計畫」

#### 分項一：高能效與高速運算晶片

##### 壹、計畫背景及目的

隨著人工智慧與各式前瞻應用的開展，未來下一世代的電子產品與技術的關鍵在於高效能晶片系統，而製作與設計高效能晶片所需的相關技術為重中之重。因此，本工作項目主軸在於強化我國學術界所研發之矽基半導體晶片與系統的運算效能，結合 2D/3D 記憶體의 整合設計與先進製程技術，能夠達到並進一步超越高效能運算(High Performance Computing, HPC)的指標。國內學術界雖然受到經費及人力資源的限制，因此無法使用業界半導體高階製程晶片，但在各領域均有傑出人才與充沛經驗，計畫團隊仍可發展相關技術領域，透過本計畫蓄積充沛研發能量與相關技術成果，以期結合邏輯與記憶體의 整合設計，同時開發並使用先進封裝技術，建立製作高效能晶片系統所需的異質整合平台研發能量，能為國內持續提供高效能的運算晶片做出貢獻。

本工作項目將規劃三年為階段性推動目標，計畫內容包括系統架構、運算與高速傳輸關鍵設計、軟硬體技術整合、異質整合與實體驗證等領域。計畫年度目標的制定可依照計畫團隊之專長及預計執行進度以模擬、技術開發、軟硬體整合、測試載具及實體驗證漸次展現。

關於本計畫的預期關鍵成果，包括高階模擬分析技術的開發、使用測試載具實質展示異質整合平台使用於高效能運算系統所需的 2.5D 關鍵技術，以及運算及高速傳輸關鍵晶片下線與系統模擬；預期在計畫結案時能有 HPC 雛形系統展示，而針對大型語言模型(>10B Model)的計算力能夠達到每秒 1 POPS 以上，滿足大型語言模型高維度與超大權重參數的運算需求。

希望透過本計畫的執行，掌握關鍵的運算及高速傳輸關鍵電路設計，與實現異質整合平台，並能夠有效的跨領域整合所需技術，完成軟硬體的協同整合，依序以模擬或是實體驗證的形式，完成 HPC 系統架構規劃、HPC 系統軟硬體的偕同驗證、高效能運算的半導體系統晶片、HPC 系統應用的開發，並展示能

處理大型語言模型的高效能運算解決方案。

## 貳、 研究議題範疇

原則上以 16/7 奈米製程評估高算力晶片方案，研究主軸包含但不限於下列領域：

1. 高算力晶片架構與電路設計：採用同質(單態樣運算核心)、異質運算(多態樣核心，如 CPU+GPU+AI Engine)的整合設計，包含內建處理器(ARM, RISC-V, ...)以及客製化的硬體加速器(AI Accelerators)，並具有可延展性的實現方案，針對 8bit(定點或浮點運算)的大型語言模型(>10B Model)或小模型(<10B Model)邊緣 AI 應用需求的運算需求，達成全程 POPS 的算力指標，同時考慮前述電路與系統之先進散熱技術與封裝。
2. 整合高頻寬記憶體的高算力晶片模組：探討不同記憶體模組(DDR4/5, HBM, AIM, ...等)及軟硬體整合，有效提升整體運算效能，並以 MLPerf 的評比指標展現系統效能。
3. 超低節能的資料傳輸解決方案：透過異質整合的堆疊技術，包含晶圓層級的封裝與小晶片的可程式化先進封裝，滿足大型語言模型運算所需求的超大頻寬與節能傳輸需求。

## 參、 計畫重點

隨著新興應用的蓬勃發展，高運算技術受到高度的重視，本分項的研發目標希望由系統層面考量，來提升整體的運算力、能源效率及記憶體頻寬。技術開發的項目，除了引進 FinFET 製程外，電路及架構設計的創新，以及 2D、2.5D、3D 異質整合技術等，都是發揮最大效能及算力之關鍵技術，能由不同層面切入來突破現有的瓶頸和限制，達到預期的技術指標。除此之外，也期待研發團隊能強化產學與國際合作，加速前瞻科研發展，甚至於促成創新創業、生活應用，以提升國內晶片設計產業的發展及競爭力。

## 分項二：高功率、高傳輸電路與晶片模組

### 壹、計畫背景及目的

高效能的運算需要有巨量資料的連結及傳遞，因此高速的通訊將是未來高性能晶片驅動的重要方向之一。

而當大量的資料傳遞到雲端的高效能運算中心，高速運算晶片需要諸多的小晶片支援，如多核心 GPU 及寬頻的記憶體，運算晶片的資料吞吐量是極為巨大的，晶片間的有線連結也將由目前幾十 Gbps 進展超過 1Tbps 的傳輸量，要達到快速通訊及高效能的運算，有效率的晶片連結技術也勢必發展在追求極致的通訊，能量效率也必需同時達成，因此利用不同的半導體製程(如與矽光子的異質整合)結合創新高頻、高速電路，來完成複合式的通訊系統，也將是研發重點。

目前環境永續淨零碳排為全球相當矚目的議題，而高效率高功率及小型化的功率轉換系統在其中扮演一個非常重要的角色。面對一些新興應用，例如超大規模(hyperscale)資料中心等，全球持續投入高功率密度及高操作頻率的小型化功率轉換系統的研發。本計畫將聚焦於利用新興化合物半導體電路與模組及異質整合技術，開發下一世代的高效率及微小化的功率轉換系統。

### 貳、研究議題範疇

探討高能效、高傳輸電路與晶片模組的研發，建議的研究主軸包含但不限於下列領域：

1. 高效能功率電路與模組：高能效功率電路與模組，應用於 AI edge；低壓、高操作頻率及高功率密度電路與模組，應用於資料中心與 AI 伺服器的電源供應；以及前述電路與系統之先進散熱技術與封裝。
2. 矽光子技術：超高速超低功耗光連結技術、異質光電整合技術、超高頻寬驅動及接收電路、光電晶片先進封裝與測試等，以應用於 AI 晶片連結、AI 高速運算、資料中心。

### 參、計畫重點

推動高功率、高傳輸電路與模組應用之落實，以高能效功率電路與模組，

應用於 AIedge 為主。而低壓、高操作頻率及高功率密度的 AI 伺服器供電應用，應達成輸出功率、功率密度、效率分別大於 50 W、4000W/in<sup>3</sup> 與 95% 為開發之技術指標。

此外，矽光子應用的開發重點，則以異質積體化先進封裝技術，以達到矽光子光收發機單通道 200Gb/s (功耗<5pJ/bit；低延遲<100ns)，且具有 WDM 技術，可在兩個波長以上進行傳輸，以突破現有門檻之應用目標。同時，規劃設計時亦需將強化 CPO 與 chiplet 系統層級的規劃、整合、驗證與模擬等完整開發能力納入整體考量。

### 分項三：邊緣運算晶片應用

#### 壹、計畫背景及目的

現階段所有的資料驅動應用，除了強化高算力與高傳輸的晶片設計外，如何有效降低(一)運算的功耗，達成 fJ/b(每位元運算低於  $10^{-15}$  Joule)等級的節能運算，透過創新的演算模型、新型態運算架構、與電路設計的探討，提供下世代節能運算的解決方案，已成為生成式 AI 邁向應用普及化的重大挑戰議題。(二)資料感測的時間與所需求的功耗(pJ/bit)，提供高解析、高可靠的原始感測資料，滿足多元應用的需求，亦成為感測晶片能否帶動創新應用服務的關鍵議題。以具有深度資訊的影像感測晶片為例，除了是無人機、機器人、太空衛星、ADAS、自駕車等應用中不可或缺的關鍵技術外，在許多創新產業及應用中，也需要使用此類型的感測晶片與裝置。因此，在本項目的推動中，主要鼓勵研究團隊採用矽基製程，探討創新應用與服務所需求的關鍵技術與晶片，透過異質整合堆疊與小晶片封裝技術，針對各類場域所需求的超低能耗運算、高時間/空間解析度、低延遲感測時間、高節能效率的運算與感測晶片，結合軟硬體設計技術，達成關鍵晶片的技術指標與模組的雛型系統，也具體呈現創新設計方案的價值與潛在落地應用的效益及影響力。

#### 貳、研究議題範疇

本分項建議的研究主軸包含但不限於下列領域：

1. 探討超低功耗的演算法、系統架構、以及電路實現方案，達成能耗低於 fJ/b 的推論功能。
2. 高解析、低延遲感測晶片：以具有 SPAD 元件或類似的高壓製程，完成高速與低延遲的深度影像感測晶片與模組應用，達成之技術指標規格如下：(a) 影像數據量(含深度)： $>1\text{Tb/s}$ 、(b)深度資訊： $<1\text{cm}$ 、(c)能源效率： $<1\text{pJ/b}$ 。
3. 以異質整合方式結合特殊應用感測晶片與高算力晶片、系統軟體，引領產業應用與服務創新者。
4. 此外因應晶片設計符合未來生活各面向之需求，以及政府施政的科技落地應用之策略，亦可提出 AI 晶片邊緣應用設計，甚至連結 IoT 聯網的完整

解決方案，可包括 edge inferencing、edge learning、驅動軟體、低耗能作業系統、前瞻通訊晶片與系統整合等技術研發。

5. 針對機器人、無人載具、衛星通訊等多元應用場域所需之專用晶片，可提出晶片設計與系統整合方案，並規劃對應之驗證方法，以確保晶片能於實際情境中落地應用，滿足百工百業之需求。

#### 參、計畫重點

本分項將針對下世代運算的超低功耗運算與極低延遲、低能耗的智慧感測解決方案，研發關鍵晶片與軟硬體系統異質整合技術，並鼓勵學研團隊提出落地應用案例與雛形展示系統，透過具有國際競爭力的技術指標，包括有效降低運算的功耗、提升感測敏感度、降低感測延遲時間、提升感測能源效率等，展現此分項關鍵晶片的特色與價值創造。

## 分項四：先進晶片製造技術

### 壹、計畫背景及目的

傳統摩爾定律每兩年晶片電晶體數目倍增的目標，正面臨嚴峻挑戰，這主要受限於微影設備的波長與光罩大小的製程極限，以及元件二維尺度微縮的物理極限。隨著人工智慧運算需求急劇增長，國際 AI 晶片領頭公司提出了「超摩爾時代」的概念，強調晶片的運算能力必須每年倍增，以滿足未來計算需求。這項提升不僅依賴晶片設計與架構的改進，更有相當比例需仰賴半導體製造技術的不斷進步。台灣作為世界先進晶片製造技術的領導者，要維持領先地位，必須持續投入創新技術研發。其中，工業界負責五年內所需之量產技術開發，而學術界則聚焦於五到十年後的新興技術研究與評估，透過產學分工建構完整的技術研發藍圖。

目前，先進晶片製造技術已從平面轉變為三維，以有效克服二維微縮的極限。三維元件技術已成為主流趨勢，電晶體結構從平面轉變為三維的 FinFET，進而發展至兩奈米下的 NSFET 與 CFET 結構，並搭配晶片背面供電技術，讓整個電晶體結構向第三維度延伸。在電晶體後段製程中，開始整合更多不同型態的元件，例如記憶體，以提供更高的記憶體頻寬與儲存密度；此外，還包括功率元件、感測器與微機電元件等，提升晶片的整合密度並降低功耗。三維封裝技術則是「超摩爾時代」的關鍵，透過多顆晶片的垂直堆疊，提升晶片密度、性能與功能。三維元件與三維封裝的結合，我們稱之為 3D × 3D 技術，這兩者的整合將成為「超摩爾時代」的核心技術。

本計畫旨在徵求學術界提案，推動 3D × 3D 技術的研發，聚焦於未來五到十年間的關鍵創新，以確保台灣半導體產業持續領先。透過設定極具挑戰性的目標，引導研究團隊提出破壞性解決方案，支持邏輯、記憶體與異質整合等技術平台，達成每兩年等效性能 PPA(性能(performance)、功耗(power)與面積(area))倍增的願景。計畫目的不僅在於技術突破，更在於建構產學合作生態，加速新興技術從概念到應用的轉化，強化台灣在全球半導體供應鏈中的核心地位。

### 貳、研究議題範疇

本分項建議的研究主軸包含但不限於下列領域：

1. 關鍵材料開發：探討新型材料在 3D × 3D 技術中的應用，包括新通道材料、高介電常數材料、低阻抗互連材料，以及用於三維堆疊的接合、隔離、與散熱材料，以提升元件性能並降低功耗。
2. 元件結構創新：研究先進電晶體結構，如 NSFET、CFET 與晶片背面供電技術，嵌入式記憶體（如 SRAM 替代方案）、功率元件、感測器及微機電元件，實現更高密度與多功能整合。
3. 製程技術優化：聚焦三維微縮與三維堆疊製程之模組與整合技術，克服二維物理維縮極限。
4. 封裝技術推進：開發三維封裝方法，如晶片垂直堆疊、異質整合封裝，涵蓋熱管理、信號完整性與功率傳輸之優化，支援多晶片模組化。
5. 檢測分析方法：建立先進檢測工具與標準，包括奈米級成像與成分分析、電性測試及可靠性評估，用於驗證 3D × 3D 技術的 PPA 指標。

以上技術開發均應建立相對應之元件或應用載具之 PPA 指標，與國際類似技術進行比較，並以每兩年倍增做為整體計畫研發主軸，提出可行路徑。

### 參、計畫重點

在本計畫中，3D × 3D 技術的研發重點不再僅限於電晶體密度追求，而是轉向以 PPA 作為技術提升指標，這是包含台積電在內的主要半導體公司所採用的標準。團隊需詳細說明各自研發技術之國際最新 PPA 指標比較，以及未來五到十年間達到每兩年倍增的可行技術路徑。

PPA 指標需同時考慮性能、能耗與面積，建議指標例如 TOPS/W-mm<sup>2</sup>，同時考量處理速度、功耗倒數、元件面積倒數之乘積，乘積越大代表所發展技術之等效性能越好。

以嵌入式記憶體為例，現有先進製程中的解決方案為 SRAM，台積電兩奈米的 SRAM 單位位元面積為 0.021 um<sup>2</sup>，能耗為 sub pJ/bit，操作時間達 sub ns。所提新興嵌入式記憶體技術須以兩奈米 SRAM 為基準，在能耗與速度相當的條件下，達到單位位元面積每兩年縮小為一半的目標。



# 國研院台灣半導體研究中心

## 電路設計、晶片製作及先進封裝服務平台

### 壹、晶片設計及驗證環境

為支援高效能晶片(HPC)設計研發，TSRI 提供關鍵矽智財(Silicon IP)、虛擬驗證環境以及雛形驗證環境予學界研發團隊使用。

#### 1. 關鍵矽智財

##### (1). 運算處理器

- ANDES 及 Synopsys RISC-V 指令集處理器核心：包含 Application Processor、Micro Controller與DSP Processor
- Arm 處理器核心：Cortex-A55、Cortex-M55 以及 Arm Academic Access大學專案可取得的所有處理器核心  
(<https://www.arm.com/resources/research/enablement/academic-access>)
- AI加速電路：Arm、Synopsys以及ANDES等廠商之AI加速電路，詳細清單請洽TSRI

##### (2). 晶片內互聯電路

- Arm CORELINK CMN(Coherent Mesh Network)

##### (3). 晶片間互聯電路

- UCIE(評估中，引進時間未定)

##### (4). 高頻寬記憶體控制電路

- LPDDR5、HBM(與國內DRAM廠商洽談中，引進時間未定)

##### (5). 高速周邊電路

- MIPI/Parallel 影像輸入、HDMI 影像輸出(外掛轉接晶片)、PCIE(評估中，引進時間未定)

##### (6). Foundation IP

- 7nm/16nm PLL
- 7nm/16nm 高速標準元件庫及記憶體產生器

#### 2. 虛擬驗證環境

TSRI將基於Synopsys Platform Architect/Virtualizer，建立虛擬驗證環境，關鍵矽智產的模型，包含Neoverse系列、Cortex-A系列與Cortex-M系列CPU以及Arm CORELINK CMN、CCI與NIC。

### 3. 離型驗證環境

TSRI持續提供Synopsys HAPS FPGA離形驗證環境使用服務。在完整HPC驗證方面，由於HPC系統晶片完整電路極為龐大複雜，學界團隊如有需要，TSRI可提供 Synopsys Zebu emulator，以利團隊進行軟硬體偕同驗證。

## 貳、前瞻製程服務及設計平台

TSRI 建置台積電(TSMC) 7 nm、16 nm FinFET 製程設計平台，提供包含數位/類比/RF/混合訊號等電路設計環境與設計套件，並配合本中心晶片實作服務提供 TSMC 7 nm、16 nm FinFET 製程及 TSMC 28 nm HPC+ 製程晶片實作服務，亦可配合研究團隊之需求提供獨立梯次 16 nm/28 nm之shuttle 給予研究團隊進行晶片製作。在 16nm/28 nm 製程shuttle 可額外提供 Flip Chip 選項之自費晶片下線與DRC驗證技術諮詢。特殊製程方面，除了提供 TSMC 0.5  $\mu\text{m}$  12V/650V GaN 製程，可用於高功率變壓器、充電器與逆變器 IC 模組的設計外，針對高度電源整合應用設計安案，亦提供TSMC 0.18 $\mu\text{m}$  及 0.13 $\mu\text{m}$  BCD製程，同時也針對感測器需求規劃導入壓電（PiezoPZT、PiezoScAlN）等製程。參考 114 年 TSMC shuttle 時程與 TSRI 年度常規梯次，將可依照經費與團隊需求規劃晶片實作服務，如下表所示。

製程常規梯次列表

製程種類	年度常規梯次
TSMC 7 nm (TN7)	2
TSMC 16 nm (TN16FFC)	4
TSMC 28 nm (TN28HPCplu)	4
TSMC 0.13 $\mu\text{m}$ BCD (T13HVplus)	2

TSMC 0.18 $\mu\text{m}$ BCD (T18HVG2)	3
TSMC 0.5 $\mu\text{m}$ GaN (T50GaN) *	2
PiezoPZT*、PiezoScAlN *	2
*提供之Foundry與實作服務梯次數待確定	

提供 7nm/16nm 電磁模擬所需之iRCX(.proc)檔案與設計環境，協助學術界開發太赫茲(subTHz)電路，並同時提供下線驗證服務與技術諮詢，加速設計定案(Tape-out)時程。

### 參、異質整合晶片及封裝平台

TSRI將使用8吋異質整合先進封裝晶片技術平台以協助國內學研團隊進行2.5D/3D晶片系統整合開發。技術平台包含晶片級microbump、CMOS active interposer及CoCoB (Chip on Chip on PCB)等關鍵技術，整合技術可支援邏輯、記憶體、光電、感測、電源管理等不同晶片類別，並提供EDA設計、TSV/RDL模型、佈局驗證與封裝模擬之完整環境。TSRI可提供學術界異質整合先進封裝晶片技術及諮詢服務包含：

1. 晶片與2.5D主動中介層和電路板整合設計諮詢，提供學術團隊中介層與電路板(PCB)打線(wire bond)/覆晶對接技術文件、技術諮詢及製作服務。
2. 晶片級micro bump技術：提供50- $\mu\text{m}$ 間距之晶片級micro bump及覆晶對接技術，除提升穩定度外，也持續評估更小間距的晶片級micro bump技術。
3. CMOS主動interposer技術：提供感測、AI、RF、電源管理和記憶體等不同晶片在中介層需要多層金屬線的繞接及模擬。為提供更高密度TSV，將繼續微縮TSV直徑，開發驗證深寬比10之TSV，並朝更多RDL層、低金屬線阻值及高穩定度努力。
4. 晶片級2.5D封裝(CoCoB)：結合2.5D矽穿孔中介層製作及micro bump技術，提供以Chip on Chip on Board之垂直堆疊方式進行晶片級2.5D整合封裝。

5. 矽光子異質整合平台SP-CoCoB（Silicon Photonics Chip-on-Chip-on-Board），透過矽光子PIC、電子IC與高密度光電基板的垂直堆疊整合，提供短距離、低能耗的高速電光轉換能力。此平台支援高速鏈路，可整合ASIC和矽光子調變器、光檢測器、光被動元件以及SiN低損耗邊緣耦合器，並評估III-V與薄膜LNO整合技術，是面向未來AI晶片與CPO整合的重要關鍵技術。
6. 異質封裝先進封裝EDA環境：提供micro bump及CMOS backside TSV的DC/RF SPICE模型，結合CMOS 中介層中的金屬及Via特性提供先進異質封裝驗證EDA環境，讓使用者在進行異質整合封裝前即可進行模擬，來確認整合後的特性是否符合規格。此外亦提供3D堆疊驗證所需之DRC/LVS command files，讓使用者可以驗證堆疊佈局設計之正確性。

## 肆、先進晶片製造服務平台

先進晶片製造服務平台包含有新穎元件結構及通道材料、新興記憶體元件製程、先進關鍵製程模組、元件特性量測驗證、原子級元件結構影像及微量元素分析等五個技術服務。TSRI 可提供學術界先進晶片製造技術及諮詢服務包含：

1. 新穎元件結構及通道材料：TSRI推動新材料元件與先進電晶體技術建置，提供氧化物半導體（InO、IGZO、IGO）通道的沉積與製程控制，以及適用 GAA 結構的蝕刻與通道釋放技術。同時建置高密度電晶體平台，涵蓋 NS-FET/CFET 所需的 Si/Ge/SiGe 多層通道磊晶與選擇性蝕刻、SOI-BSPND 異質鍵合與晶背供電製程，並提供 3D 電晶體所需的低熱預算雷射結晶、活化與金屬矽化/鍍化製程，以支援異質整合與先進元件開發。
2. 新興記憶體元件製程服務：本平台提供新興記憶體與半導體製程所需高品質薄膜材料，包括多種 PVD（金屬與金屬氧化物  $\leq 20/50$  nm）及 ALD（ $\text{HfO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{HfZrO}_2$   $\leq 10$  nm）薄膜製程；同時可在八吋晶圓上進行後段記憶體與金屬連導線製程，支援產學研元件開發。
3. 先進製造關鍵模組：本平台整合先進蝕刻、微影與金屬連線製程技

術，涵蓋金屬閘極、導線與介電質接觸孔之微縮開發；提供多層曝光、OPC 修正與奈米金屬 lift-off 等完整微影能力，以提升解析度與圖形精準度。具備高解析多層曝光、5/6 吋光罩製作、45 nm 以下電子束直寫與 50 nm 以下接觸孔對準，並可進行 wafer-to-chip 混搭曝光。

4. 元件特性量測驗證：TSRI提供元件與電路的高頻、雜訊、一般及低溫電性量測，是先進晶片與低功耗技術開發的基礎。服務包括 20×20 mm 晶片的 I-V、C-V、1/f noise、Noise Figure 及 S 參數量測；On-wafer 4K 低溫平台支援多組 RF/DC 探針；PCB 4K 低溫平台則可測試打線或封裝樣品的 DC、S 參數、Noise Figure 與 Phase Noise，全方位支援學研元件與電路分析。
5. 原子級元件結構影像及微量元素技術平台：TSRI建置「原子級元件結構影像及微量元素技術平台」，整合 Cs-STEM、APT 與 XPS/UPS/IPES 三大系統，提供原子結構、三維組成與能帶特性分析。Cs-STEM (0.78 Å) 可觀察介面原子排列與缺陷，APT 提供原子級三維組成解析，XPS/UPS/IPES 可量測能隙、價帶、導帶與功函數，形成先進材料與元件開發的核心驗證平台，促進學研與產業技術合作。

115年國家科學及技術委員會「高效能晶片關鍵技術與創新應用計畫」  
合作意願書

本企業/法人單位\_\_\_\_\_與計畫主持人\_\_\_\_\_合作，參與國家科學及技術委員會研究計畫(計畫名稱：\_\_\_\_\_)，對研究主題及產出有高度興趣，願意參與本研究計畫。

合作企業/法人單位統一編號：

主要營業項目：

單位：

職稱：

電話：

E-mail：

合作企業/法人單位代表人：\_\_\_\_\_（簽章）

中華民國\_\_\_\_年\_\_\_\_月\_\_\_\_日

### 本計畫規劃與業界/法人單位合作之工作項目與內容說明

填寫注意事項：工作項目與內容除質性說明外，應將可查核方式或是量化數據之陳述納入。

第一年：

第二年：

第三年：

**NSTC “National Program for High Performance Computing Integrated Circuits  
Key Technology and Innovation Application Development” (CHIPS4H, 2026 –  
2029)  
Letter of Intent**

In an effort to apply for the funding support of NSTC CHIPS4H program, \_\_\_\_\_ (the foreign university or institute), participates in the proposal, \_\_\_\_\_ (title of the proposal) submitted by \_\_\_\_\_ (name of PI) of \_\_\_\_\_ (name of Taiwan university) by honoring this Letter of Intent (LOI) to foster mutual cooperation in the said proposal if approved.

Name of the foreign party : \_\_\_\_\_

Website : \_\_\_\_\_

Name of the foreign PI or principal officer : \_\_\_\_\_

Title : \_\_\_\_\_

Tel : \_\_\_\_\_

email : \_\_\_\_\_

Signature : \_\_\_\_\_

Date : \_\_\_\_\_



Work Plan and Check Milestones

Please briefly highlight the work plan and check items with quantitatively tangible numbers in every year.

Year 1:

Year 2:

Year 3:

## 總計畫主持人與子計畫主持人參與不同專案聲明書

### 一、 聲明目的：

為確保 115 年度工程處「矽光子前瞻技術研發與應用計畫」、「高效能晶片關鍵技術與創新應用計畫」及「高效能化合物半導體前瞻技術研究計畫」三項專案之人力與資源配置合理性，並避免重複投入，以及協助教授團隊專心在其研究領域投入研發，請總計畫主持人及各子計畫主持人依下列原則確實填列相關資訊。

### 二、 揭露義務與規範：

1. 若總計畫主持人或子計畫主持人同時參與上述其他專案，應明確揭露其擔任之身分（總計畫主持人、子計畫主持人）。所有填寫內容須據實揭露，不得隱匿或虛報。
2. 本聲明書由總計畫主持人負責彙整，並經所有子計畫主持人確認簽名。計畫送件及核定後，總計畫主持人與子計畫主持人成員原則上不得變更；除特殊情形，須敘明理由報經本會同意後始得調整。
3. 如經查核發現未據實揭露或違反規定，或計畫書內容、主持人成員與其他已申請計畫高度重疊，且涉及實質相同或重複投入之情事，本處得不予受理本計畫（含總計畫及所有子計畫）之申請。請總計畫主持人務必善盡查核之責，確認所有子計畫主持人之參與情形，以免影響團隊其他成員之權益。

### 三、 參與情形填報：

請依下列表格填寫總計畫主持人及各子計畫主持人於 115 年度參與工程處上揭其他專案計畫之具體情形，並由各主持人親自簽名確認。

計畫項目	主持人姓名	主持人親筆簽名	矽光子前瞻技術研發與應用計畫	高效能晶片關鍵技術與創新應用計畫	高效能化合物半導體前瞻技術研究計畫
總計畫			舉例： 於「XXX」計畫擔任子計畫二主持人	無	無
子計畫一			無	舉例： 於「XXX」計畫擔任總計畫主持人	無
子計畫二			無	舉例： 於「XXX」計畫擔任子計畫三主持人	無

附件四

子計畫三					
子計畫四					
子計畫五					
子計畫六					

上述資料均已由本人及團隊成員查核並確認無誤，特此聲明。

總計畫名稱：\_\_\_\_\_

總計畫主持人(代表簽署)：\_\_\_\_\_

日期： 中華民國 115 年 \_\_ 月 \_\_ 日